

# 数字电路双逻辑综合关键技术研究

张旻晋

杭州晟元数据安全技术有限公司, 中国·浙江 杭州 311121

**摘要:** 随着集成电路设计的复杂性不断增加, 传统的基于单一布尔逻辑或 Reed-Muller 逻辑的数字电路综合方法已难以满足高性能、低功耗的设计需求。论文研究了一种双逻辑综合方法, 该方法结合了传统的布尔逻辑和 Reed-Muller 逻辑, 以优化数字电路的设计。论文首先介绍了双逻辑综合的基本概念和关键技术, 然后详细阐述了双逻辑综合在数字电路设计中的应用, 并通过实验验证了该方法的有效性和优越性。

**关键词:** 数字电路; 双逻辑综合技术; 数字电路设计

## Research on Key Technologies of Digital Circuit Dual Logic Synthesis

Minjin Zhang

Hangzhou Shengyuan Data Security Technology Co., Ltd., Hangzhou, Zhejiang, 311121, China

**Abstract:** With the increasing complexity of integrated circuit design, traditional digital circuit synthesis methods based on single Boolean logic or Reed-Muller logic are no longer able to meet the requirements of high-performance and low-power design. The paper investigates a dual logic synthesis method that combines traditional Boolean logic and Reed-Muller logic to optimize the design of digital circuits. The paper first introduces the basic concepts and key technologies of dual logic synthesis, and then elaborates in detail on the application of dual logic synthesis in digital circuit design. The effectiveness and superiority of this method are verified through experiments.

**Keywords:** digital circuits; dual logic synthesis technology; digital circuit design

## 1 引言

数字逻辑电路是现代电子系统的基础, 其性能直接影响到整个系统的运行速度和功耗。传统的数字电路综合方法主要基于单一的布尔逻辑或 Reed-Muller 逻辑, 但这些方法在处理复杂电路时往往存在优化效果不佳、算法速度慢等问题。为了克服这些问题, 提出了一种双逻辑综合方法, 该方法结合了布尔逻辑和 Reed-Muller 逻辑的优点, 旨在实现更高性能、更低功耗的数字电路设计。

## 2 双逻辑综合原理和方法

### 2.1 双逻辑综合原理

双逻辑综合, 其本质在于将两个原本独立的逻辑函数, 经由精妙的算法和技术手段, 巧妙地融合为一个更为紧凑、高效的函数。其核心理念是挖掘并共享两个逻辑函数间的共通逻辑资源, 通过高效的整合, 去除冗余, 简化实现。该方法不仅大幅度简化了电路结构, 降低了设计的复杂性, 还显著减少了制造成本。逻辑结构的优化, 使得门级数量、连线复杂度以及占用的芯片面积均得到有效缩减, 进一步提升了电路的集成度与可靠性。同时, 双逻辑综合在提升电路性能方面也表现卓越。通过精准地共享与优化逻辑资源, 信号传输路径得以缩短, 延迟和功耗得到有效降低, 确保了电路在高速运行时的稳定性与可靠性。

### 2.2 双逻辑综合方法

双逻辑综合的方法主要可以归结为两大类。第一, 基于逻辑综合软件的自动化实现。这种方法利用先进的软件工具, 通过算法和程序自动化地识别、分析和优化两个逻辑函数, 将它们综合成一个更为高效、简洁的逻辑函数。这种方法能够显著提高综合的效率和准确性, 同时减少人为错误和干预。第二, 基于人工逻辑综合的设计实现。与自动化方法不同, 这种方法更多地依赖于设计师的专业知识和经验。设计师需要手动分析两个逻辑函数的特性和关系, 通过精心的设计和调整, 将它们综合成一个逻辑上更为紧凑、性能上更为优越的函数。这种方法虽然相对耗时, 但能够更灵活地应对复杂的逻辑综合问题, 同时实现更精细化的优化和控制。

两种方法各有优势, 具体选择取决于实际的设计需求和场景。在实际应用中, 设计师可以根据具体情况灵活选择或结合使用这两种方法, 以实现最佳的双逻辑综合效果。

## 3 双逻辑综合的关键技术

### 3.1 逻辑覆盖探测技术

逻辑覆盖探测技术, 作为数字电路双逻辑综合中的核心技术, 其主旨在于精确识别待优化逻辑中那些更适宜采用布尔逻辑或 Reed-Muller 逻辑的子覆盖。此技术为数字电路设计的综合与优化过程提供了坚实的基石, 从而显著提升了设计的效率与可靠性。

在逻辑覆盖探测的实施阶段,该技术对待优化逻辑进行了全面且深入的分析。这一过程远超出了对逻辑功能的简单解读,而是深入了逻辑结构、逻辑关系以及逻辑时序的层面。这种深度分析使得该技术能够准确捕捉逻辑的内在规律和特性,为随后的逻辑拆分和综合奠定了坚实的基础。

探测过程中,该技术特别关注那些具有不同逻辑特性的子覆盖。尽管这些子覆盖可能隐藏在错综复杂的逻辑关系中,但该技术通过细致的分析和探测,能够逐一揭示它们。这些子覆盖准确识别对于逻辑拆分和综合成效至关重要,直接关系到逻辑综合的效果和优化程度。

此外,逻辑覆盖探测技术还注重结果的准确性和可靠性。在分析和探测过程中,该技术运用了多种手段和方法来确保结果的准确性,以最大程度地避免误判和遗漏。在此基础上,该技术还充分考虑了实际的设计需求和约束条件,以确保探测结果在实际应用中具有可行性和可靠性。图 1 为逻辑覆盖法示意图。



图 1 逻辑覆盖法示意图

### 3.2 逻辑覆盖拆分技术

在明确了适宜采用不同逻辑类型的子覆盖之后,逻辑覆盖探测技术便迎来了其关键阶段:精准地从错综复杂的待优化逻辑中剥离出这些子覆盖。此过程对技术的精确性有着极高要求,同时必须确保拆分后的子覆盖在逻辑功能和时序上严丝合缝地与原逻辑相吻合,这是保障整个数字电路设计准确无误、稳定可靠的核心所在。

第一,在拆分过程中,技术需要对每个子覆盖的逻辑边界和交互节点进行细致入微的分析,以确保在拆分的同时不会破坏原有的逻辑架构和关联。这要求技术人员不仅具备深厚的逻辑理解力,还需拥有精湛的操作技艺和丰富的实战经验。每一个拆分决策都需经过缜密的逻辑推演和反复的验证测试,以确保拆分的精确无误和有效可行。

第二,为保证拆分后的子覆盖在时序上与原逻辑保持高度一致,还需对时序进行精细的调控和校准。这涉及对信号传播延迟、门级延迟以及各类时序约束条件的综合考量,以确保每个子覆盖都能在精确的时序下协同工作,从而实现整个数字电路设计的时序严密性。同时,拆分过程中还需特别关注子覆盖之间的接口设计和交互逻辑。这要求接口设计清晰明了、简洁高效,便于后续的集成和测试工作。交互逻辑的设计也需充分考虑子覆盖间的数据流动和控制信号传递,以确保整个设计的逻辑连贯性和一致性。

总体而言,将适宜采用不同逻辑类型的子覆盖从待优化逻辑中精准拆分出来,是逻辑覆盖探测技术中的一项艰巨

任务。此过程不仅要求技术精确无误、严密可靠,还需技术人员具备丰富的实战经验和精湛的操作技艺。通过精准的拆分和调控,可确保整个数字电路设计的准确无误和稳定可靠,为后续的逻辑综合和优化工作奠定坚实基础。

### 3.3 大 RM 函数混合极性逻辑综合技术

该技术在数字电路设计领域中独树一帜,专门应对经过拆分后的大规模 Reed-Muller 函数。针对这些函数的复杂性,该技术巧妙地运用了混合极性方法,力求在逻辑结构上实现优化,进而降低电路的整体复杂度和功耗。

混合极性方法作为一种创新手段,为处理 Reed-Muller 函数提供了新的视角。传统方法在处理这类函数时,常常面临效率与功耗的挑战。而混合极性方法通过灵活调整逻辑门的极性,不仅优化了逻辑结构,还显著提升了电路的性能表现。

在处理过程中,该技术不仅注重逻辑结构的优化,还充分考虑了电路的时序约束和性能需求。这意味着在追求简化和低功耗的同时,该技术始终确保电路的性能和稳定性不受损害。通过精确的调整和优化,该技术使得综合后的电路能够严格符合设计要求,在时序和性能上均达到理想状态。同时,该技术的应用对数字电路设计产生了深远的影响。设计师们在面对复杂电路设计时,可以更加自信地采用大规模 Reed-Muller 函数,因为他们深知这项技术的强大支持将使电路优化和综合变得更为轻松。这无疑为数字电路设计的创新和发展奠定了坚实的基础。

总之,通过运用混合极性方法处理拆分后的大规模 Reed-Muller 函数,不仅优化了电路的逻辑结构,降低了复杂度和功耗,还确保了综合后的电路满足设计要求。这项技术的应用为数字电路设计领域带来了新的活力,预示着未来创新发展的广阔前景。

### 3.4 逻辑等效验证技术

在双逻辑综合的关键流程中,对经过拆分和综合处理后的逻辑进行等效性验证,是保障整个设计准确无误的重要环节。由于综合过程中涉及对原始逻辑的优化和转换,因此必须通过等效性验证来确保这些操作未引入任何错误或不一致性。

为实现验证目标,该技术运用了形式化验证或模拟验证手段,对综合后的电路进行全面、细致的测试和验证。形式化验证基于严谨的数学原理,通过抽象和建模电路的逻辑结构,利用形式化证明技术来确认电路的正确性。这种方法自动化程度高,精确性强,能有效识别电路中的潜在问题。

与此同时,模拟验证则通过模拟电路的实际运行状况来检验电路的功能和时序(如图 2 所示)。它能够模拟电路在各种输入条件下的反应,从而验证电路是否符合设计要求。模拟验证具有直观、灵活的特点,能够真实反映电路在实际运行中的各种状况,为设计者提供有效的验证支持。

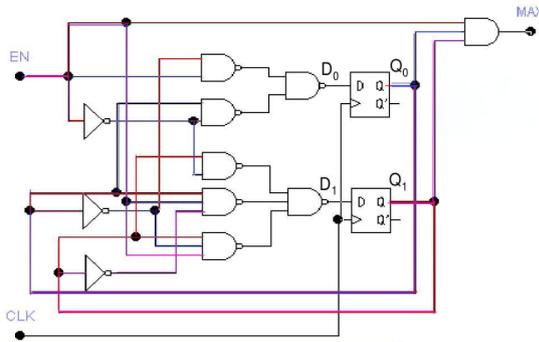


图 2 时序逻辑电路示意图

在验证过程中，该技术对综合后的电路进行了全面检查和分析，包括输入输出关系、内部逻辑结构、时序约束等方面，以确保其与原逻辑在功能和时序上保持高度一致。只有经过严格的验证和测试，才能确保整个设计的正确性和可靠性。因此，在双逻辑综合的流程中，等效性验证扮演着至关重要的角色。通过运用形式化验证和模拟验证方法，该技术为设计者提供了强大的验证工具，有力保障了整个设计的正确性和可靠性。这对于提升数字电路设计的效率和质量具有深远的意义。

### 3.5 复合逻辑门在逻辑映射运用技术

此技术致力于优化综合后的电路结构，以显著提升电路性能并有效降低功耗，成为电路设计中的关键一环。在电路设计流程中，即使经过综合处理，电路结构仍可能呈现一定程度的冗余和复杂性，进而对电路性能产生不利影响，并增加不必要的功耗和制造成本。因此，该技术的引入在电路进一步优化方面显得至关重要。图 3 为基本逻辑门电路与复合逻辑门电路。

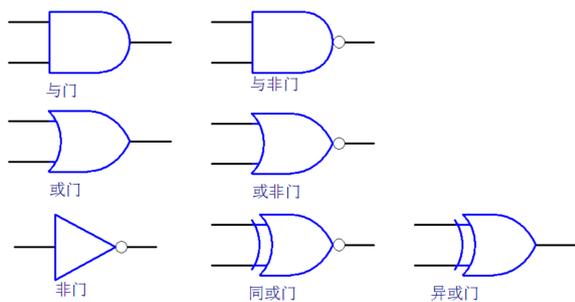


图 3 基本逻辑门电路与复合逻辑门电路

为了实现这一目标，该技术运用了包括复合逻辑门在内的多种优化策略。复合逻辑门以其高效的逻辑实现方式著称，能够在确保电路功能性的同时，精简电路结构，进而提升性能、降低功耗。通过精心运用这些优化策略，该技术能够精准地识别并去除电路中的冗余部分，减少不必要的逻辑门数量，从而提升电路的运行效率并降低能耗。图 4 为复合逻辑门及表达式示意图。

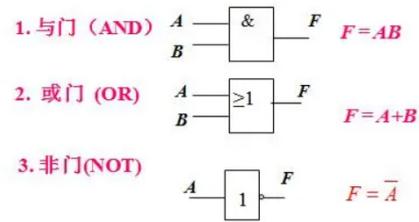


图 4 复合逻辑门及表达式示意图

此外，在优化电路结构的过程中，该技术还兼顾了实际工艺和布局布线的限制。优化工作不仅仅关注逻辑层面的改进，更考虑到实际生产中的工艺约束和布局布线的挑战。因此，该技术通过全面考虑这些因素，确保优化后的电路既具备出色的性能，又能在实际生产中顺利实现，具备高可制造性和可靠性。通过此技术的应用，对电路设计领域产生了深远影响。优化后的电路结构更为简洁、高效，显著提升了电路的整体性能表现。同时，功耗的降低有助于减少电路运行时的热量产生，从而提高电路的稳定性和使用寿命。

### 4 结语

综上所述，论文研究了一种基于双逻辑综合的数字电路优化方法，并详细阐述了该方法的关键技术和应用。未来工作中，将进一步完善双逻辑综合方法的理论框架和技术实现，探索其在更多领域的应用和推广。同时，还将关注新兴技术如机器学习、人工智能等在数字电路设计中的应用前景，以期在未来电子系统的发展提供更多创新和突破。

### 参考文献：

- [1] 高兰.基于模块化的数字电路优化设计研究[J].中国新技术新产品,2017(3):20-21.
- [2] 张燕凯,赵发勇,相乾,等.基于FPGA技术的数字电路综合实验研究[J].赤峰学院学报(自然科学版),2019(1):22-24.
- [3] 周波.数字电路逻辑思维能力培养问题研究[J].数字技术与应用,2018(11):47-48.
- [4] 陈家栋,覃琴,万剑锋,等.“数字逻辑电路”综合实验的设计与研究[J].云南民族大学学报(自然科学版),2004(1):78-80.
- [5] 李音.关于数字电路中组合逻辑电路分析方法的研究[J].质量与市场,2020(17):87-89.
- [6] 陆俊峰.基于复用的数字集成电路设计关键技术研究[J].电子技术与软件工程,2020(22):41-42.
- [7] 纪浩广.数字电路设计中的抗干扰技术研究分析[J].电脑迷,2018(18):94-95.
- [8] 李音.数字电路中如何利用数据选择器设计电路[J].电脑知识与技术,2019(30):42-43.
- [9] 姜成,景克强.数字集成电路系统基本构成与测试技术研究[J].电子技术与软件工程,2020(13):83-84.

作者简介：张旻晋（1980-），中国湖北武汉人，博士，高级工程师，从事集成电路设计研究。