

# 构建集成电路可测试性前端设计环境的方法

姚梦亚

杭州晟元数据安全技术有限公司, 中国·浙江 杭州 311121

**摘要:** 随着集成电路设计复杂性的增加, 可测试性设计 (DFT) 在 IC 设计中的重要性日益凸显。论文提出了一种构建集成电路可测试性前端设计环境的方法, 旨在提高设计的可测试性, 降低测试成本, 并提升产品质量。该方法结合了先进的 EDA 工具和自定义脚本, 以自动化方式集成 DFT 策略, 从而在设计早期阶段就确保良好的可测试性。

**关键词:** 集成电路; 可测试性设计; 前端设计环境; EDA 工具; 自动化脚本

## A Method for Building a Testable Front End Design Environment for Integrated Circuits

Mengya Yao

Hangzhou Synodata Security Technology Co., Ltd., Hangzhou, Zhejiang, 311121, China

**Abstract:** With the increasing complexity of integrated circuit design, the importance of design for test (DFT) in IC design is becoming increasingly prominent. This paper proposes a method for building a testable front-end design environment for integrated circuits, aiming to improve the testability of the design, reduce testing costs, and enhance product quality. This method combines advanced EDA tools and custom scripts to automate the integration of DFT strategies, ensuring good testability in the early stages of design.

**Keywords:** integrated circuit; design for testability; front end design environment; EDA tools; automation scripts

## 1 引言

集成电路 (IC) 设计的复杂性不断增长, 对测试的要求也随之提高。传统的测试方法已无法满足现代 IC 设计的需求, 因此必须在设计过程中就充分考虑可测试性。前端设计阶段是 IC 设计中最关键的环节之一, 通过研究如何在这一阶段构建一个有效的可测试性设计环境, 具有十分重要的意义。

## 2 构建可测试性前端设计环境的策略

### 2.1 硬件方面

在集成电路的测试过程中, 选择适合的测试设备是至关重要的一步。由于集成电路种类繁多, 功能和性能各异, 因此必须根据具体的芯片类型和设计特点来谨慎挑选测试设备。例如, 对于高速数字电路, 应该选择使用示波器来精确捕捉信号波形; 而对于复杂的逻辑电路, 逻辑分析仪则能帮助我们深入分析信号的时序和逻辑关系。

### 2.2 软件方面

不同类型的集成电路需要不同的测试工具来确保其功能的准确性和性能的稳定性。例如, 对于 FPGA 设计, 我们可能会选用 Vivado, 而对于 VHDL 或 Verilog 代码的仿真测试, VCS+Verdi 则是更合适的选择。为了提高测试效率, 编写测试脚本成为不可或缺的环节。这些脚本能够实现测试的自动化, 大大节省了人力和时间成本。为了长期和多样化的测试需求, 搭建一个既灵活又易于维护的测试框架势在必行。这样的框架应具备可扩展性和可复用性, 以适应未来可

能的变化和增长。

## 3 方法

### 3.1 选择与设计相适应的 EDA 工具

在选择具有强大 DFT 功能的 EDA 工具时, 需要对这些工具进行全面而细致的考量, 其工具必须能够支持多种 DFT 技术的无缝集成。在现代集成电路设计中, DFT 技术的应用已经变得非常重要, 因为不仅能更有效地检测并隔离设计中的潜在问题, 而且还能显著提高测试覆盖率, 降低产品的故障率。

具体来说, EDA 工具能够支持如内置自测试 (BIST) 这样的高级 DFT 技术。BIST 技术允许在芯片内部集成测试电路, 让芯片能自我检测并报告其工作状态。这种技术大大减少了外部测试设备的需求, 从而简化了测试流程, 降低了测试成本。BIST 还能在芯片运行时进行持续的自我监控, 及时发现并报告任何潜在的问题, 这对于提高产品的可靠性和稳定性至关重要。图 1 为 EDA 工具示意图。

除了 BIST 技术外, EDA 工具可支持扫描链插入技术。扫描链插入是一种非常有效的 DFT 技术, 通过在设计中插入额外的扫描链, 让测试向量更有效地覆盖到设计的每一个角落。从而提高了测试覆盖率, 也让故障检测和隔离变得更加容易。与此同时, 通过合理地配置扫描链, 还可进一步优化测试时间, 提高测试效率。

在选择 EDA 工具时, 还需要考虑这些工具与其他设计流程的兼容性以及它们的易用性。一个好的 EDA 工具应该

能够轻松地与其他设计工具进行集成，提供直观易用的用户界面，以及强大的自定义功能，以满足设计师的各种需求。

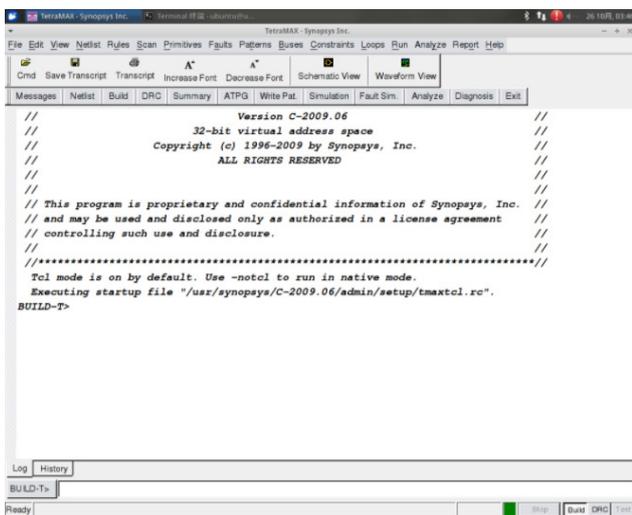


图 1 EDA 工具示意图

总之，选择具有强大 DFT 功能的 EDA 工具是确保集成电路设计成功的关键一步。这些工具不仅需要支持多种 DFT 技术的集成，如内置自测试 (BIST) 和扫描链插入等，还需要具备良好的兼容性和易用性，以确保设计师能够高效地完成他们的设计工作。

### 3.2 定义 DFT 策略

在制定明确的 DFT 策略时，必须深入分析设计的特性，并充分理解测试需求，进行周密的规划。其策略制定对于确保集成电路设计的可测试性而言非常重要，其涵盖多方面的考量因素。

需要通过确定扫描链适宜长度和数量来达到预期效果。扫描链作为 DFT 技术的核心组成部分，其设定会直接影响测试的效率和准确性。过长的扫描链可能会增加测试时间，从而影响整体的测试效率；而过短的扫描链则可能会增加设计的复杂性。所以，必须根据设计的规模和复杂度，以及测试精度的要求，来合理设定扫描链的长度和数量，以达到最佳的测试效果。

在选择测试点时，应确保其能全面反映设计的性能和工作状态，需要尽可能减少测试点的数量，以降低测试的复杂性和成本。为此，需要根据设计的功能模块、信号流向以及关键路径等关键因素进行精心选择，确保测试点的分布既全面又高效。在此基础上，测试向量生成策略非常重要。测试向量是用于验证设计功能和性能的关键输入信号，其有效性直接关系到测试的覆盖率。在制定测试向量生成策略时，需要综合考虑设计的输入 / 输出关系、状态转换以及时序要求等多个方面。为了提高测试效率和可维护性，还需关注测试向量的可重用性，以便在未来的测试中能够快速有效地生成新的测试向量。

总之，制定明确 DFT 策略是一个复杂且需要细致考虑

的过程。其要求根据设计的特性和测试需求进行全面的分析和规划，通过合理设定扫描链的长度和数量、精心选择测试点的分布以及制定有效的测试向量生成策略，来确保设计的可测试性，从而提升产品的整体质量。这一过程的成功实施，将为集成电路设计的可靠性和性能提供有力保障。

### 3.3 编写自动化脚本

为了将 DFT 策略高效地集成到集成电路的前端设计流程中，需要开发一系列自动化脚本。这些脚本在整个集成流程中扮演着举足轻重的角色，其能自动化执行一系列繁琐且重要的任务，诸如扫描链的自动插入、测试点的配置，以及测试向量的生成等。图 2 为 DFT 策略的可测试性设计。

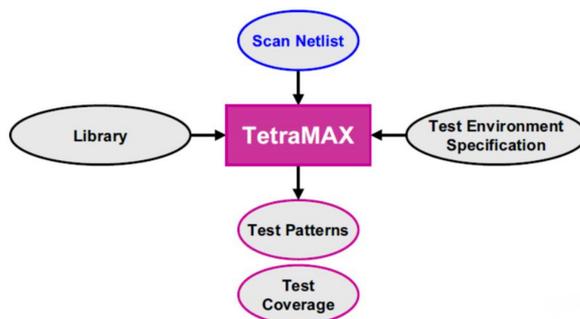


图 2 DFT 策略的可测试性设计

脚本需要精准地识别出设计中的合适位置，并在这些位置巧妙地插入扫描链，在测试时能够有效地操控并观测设计的内部状态。为了实现这一目标，脚本必须与设计工具实现无缝对接，以确保扫描链的插入既不会破坏设计的原有功能，又能保持扫描链的完整与高效。

测试点作为监测和验证设计行为的关键节点，其配置必须精确无误。根据 DFT 策略的具体要求，自动化脚本需要能够智能地识别和配置适当的测试点，这涉及测试点位置的选择、类型确定以及连接方式等诸多细节。通过精心配置，可确保这些测试点能够准确反映设计的实时状态，从而及时发现并解决潜在问题。

测试向量是一组用于启动设计并验证其响应的输入信号。为了生成高质量的测试向量，脚本需要全面考量设计的输入 / 输出关系、状态转换逻辑、时序要求以及潜在的故障模型等诸多因素。所生成的测试向量应能全方位覆盖设计的各种可能状态和行为，以确保测试的全面性和有效性。

在编写这些自动化脚本时，还应注重其可扩展性和可维护性。鉴于集成电路设计的复杂性和多变性，需要根据实际需求对脚本进行灵活调整和优化。因此，采用模块化的设计理念至关重要，这样不仅可以方便对脚本进行扩展和维护，还能提高整个测试方案的适应性和可持续性。

总而言之，通过编写一系列能够自动插入扫描链、配置测试点并生成测试向量的自动化脚本，能高效地将 DFT 策略集成到集成电路的前端设计流程中。不仅能有效提升设计可测试性，降低测试成本，还能确保产品质量的稳步提升。

### 3.4 集成与验证

将自动化脚本与电子设计自动化(EDA)工具深度结合,构建出一个全面且高效的前端设计环境,这一举措在设计领域具有革命性的意义。此环境不仅大幅提升了设计工作的效率,而且确保了设计过程中的 DFT 策略得以正确实施,从而在项目初期就为后期测试提供了保障。图 3 为自动化脚本与电子设计自动化(EDA)工具的融合示意图。

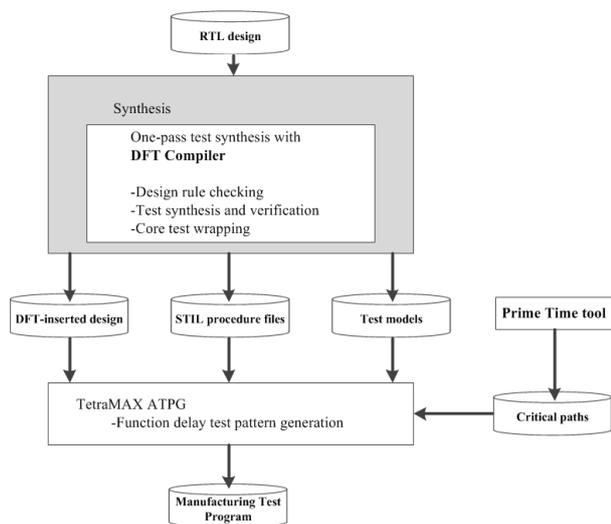


图 3 自动化脚本与电子设计自动化 (EDA) 工具的融合示意图

在这一综合设计环境中,自动化脚本与 EDA 工具之间的协同作用至关重要。自动化脚本专注于处理与 DFT 策略紧密相关的各项任务,如精确地插入扫描链、合理配置测试点,以及高效生成测试向量等。而 EDA 工具则以其强大的设计、仿真及分析功能,为设计师们提供了坚实的技术支持,使得集成电路的设计工作得以迅速且准确地完成。这种集成方式的巨大优势在于,允许设计师在设计过程中即时应用 DFT 策略。一旦设计的初步工作完成,自动化脚本便能迅速介入,精确地插入扫描链并配置测试点。紧接着,EDA 工具会对修改后的设计进行细致的仿真与验证,以确保新插入的扫描链和测试点没有引发任何新的问题或冲突。当设计定型,并且扫描链与测试点均设置完毕后,自动化脚本会根据设计的独特性和测试的具体需求,迅速生成相应的测试向量。这些向量能够无缝接入 EDA 工具的仿真环境,对设计进行全方位的测试与验证。

值得一提的是,这种前端设计环境在设计初期就提供了强大的验证功能,从而确保了 DFT 策略的正确实施。通过自动化的验证流程,设计师能够在项目早期发现并解决潜在的问题,有效避免了在后续开发阶段出现更为复杂的难题。这一优势不仅显著提升了设计质量,还在很大程度上缩短了产品的上市时间。除了上述的核心功能外,这个环境还配备了丰富的数据分析和可视化工具。设计师可以利用这些工具对仿真结果进行深度的剖析,从而更好地理解设计的性

能和行为模式。在此基础上,这些工具还为设计师提供了优化 DFT 策略的可能,进一步提高设计的可测试性。

简单而言,通过将自动化脚本与 EDA 工具紧密结合,打造了一个全面而出色的前端设计环境。这个环境为设计师提供了一个高效、可靠且灵活的工作平台,能充分利用自动化脚本和 EDA 工具的优势,确保 DFT 策略的正确实施,并在项目早期就进行有效的验证。这一创新举措不仅大幅提升了设计的质量和效率,还为后续的开发和生产奠定了坚实的基础。

### 4 实验与结果

为验证论文所提出方法的有效性,经过深思熟虑设计了一项实验,通过实际操作来检验 DFT 策略在实际应用中的成效。在本次实验中,选择了一款备受关注的复杂数字信号处理(DSP)芯片作为测试对象,因其高度集成和复杂的功能逻辑而具有挑战性。通过在我们构建的前端设计环境中实施 DFT 策略,并与传统设计方法进行对照,我们观察到了一系列引人注目的结果。

在测试覆盖率方面,我们取得了显著提升。测试覆盖率是衡量测试全面性和质量的关键指标,反映了测试用例对代码库的覆盖程度。通过集成 DFT 策略,我们成功地将测试覆盖率提高了约 20%。这一提升表明我们的方法能够更全面地验证设计的各个方面,进而降低潜在缺陷和故障的风险。其成果得益于 DFT 策略中扫描链的精心插入和测试点的合理配置,能更深入地探测和验证设计的内部状态和行为。

在测试时间方面,取得了明显的改进。测试时间是评估测试效率的重要因素,尤其对于复杂的集成电路设计而言,缩短测试时间对于加快产品研发周期和降低成本至关重要。通过采用 DFT 策略,并结合自动化脚本与 EDA 工具的紧密集成,成功地优化了测试向量的生成和执行过程。这种优化减少了冗余和重复的测试步骤,提高了测试的针对性和效率。因此,与传统方法相比,此方法将测试时间缩短了约 30%。这一显著的时间缩减为企业节省了大量资源,并为设计师们提供了更多时间用于创新和优化设计工作。

在故障检测率方面,该方法同样展现出了出色的性能。故障检测率是衡量测试方法有效性的关键指标之一,直接反映了测试方法发现设计中潜在故障的能力。与传统测试方法相比,通过在我们的前端设计环境中加入 DFT 策略,有效提高了故障检测率。该方法能更准确地识别和定位设计中的故障点,为设计师们提供了更可靠的故障排查和修复依据。这一成果得益于 DFT 策略中扫描链和测试点的精心设计和配置,有效增强了测试的敏感性和针对性。

在此基础上,本方法还为企业带来了诸多其他益处。例如,通过提高测试覆盖率和故障检测率,提高了芯片的良率,降低了产品上市后的风险;通过缩短测试时间,提高了

产品的研发效率和市场竞争力。这些益处共同构成了我们方法的核心价值,使其在实际应用中具有广泛的推广前景。

值得一提的是,取得的这些显著成果并非偶然,而是基于对集成电路设计流程的深入理解和不断创新的精神。通过将自动化脚本与 EDA 工具紧密集成,通过构建一个全面而高效的前端设计环境,为设计师们提供了一个强大的技术支持和创新平台。在这个平台上,设计师们可以充分发挥他们的创造力和专业技能,为集成电路设计领域带来更多的突破和创新。

总而言之,通过实验验证,证明了在前端设计环境中实施 DFT 策略的有效性。在测试覆盖率、测试时间和故障检测率方面,本方法都展现出了卓越的性能和显著的成果。这些成果不仅为集成电路设计领域带来了新的突破和创新点,还为企业节省了大量资源和时间成本。

## 5 结语

论文提出了一种构建集成电路可测试性前端设计环境的方法,并通过实验验证了其有效性。该方法通过结合先进的 EDA 工具和自定义脚本,实现了 DFT 策略在前端设计阶段的自动集成。实验结果表明,该方法能显著提高测试覆盖率,减少测试时间,并提高故障检测率。这为现代 IC 设计

提供了一种有效的可测试性解决方案。在后续工作中,将集中在进一步优化 DFT 策略,提高自动化脚本的效率,并探索更多先进的 DFT 技术在前端设计中的应用。

### 参考文献:

- [1] 罗瑜,樊赫.基于LK8810平台的集成电路电参数测试方法设计与实现[J].集成电路应用,2022(2):35-37.
- [2] 王士江.半导体集成电路可靠性测试及数据处理方法分析研究[J].科技与创新,2018(7):143-144.
- [3] 杨婉婉,刘海南,高见头,等.集成电路的通用单粒子效应测试系统设计[J].太赫兹科学与电子信息学报,2021(2):347-351+360.
- [4] 张雪.模拟集成电路测试算法与平台构建研究[J].信息记录材料,2021(9):229-230.
- [5] 吴立斌.集成电路可测试性设计与验证[J].无线互联科技,2016(11):113-114+132.
- [6] 张玲,王伟征.代表扫描——一种低功耗可测试性设计结构[J].中国科学:信息科学,2016(4):511-522.
- [7] 张瑾,秦盼,余向阳.一种数模混合芯片的可测试性设计和实现[J].集成电路通讯,2016(4):22-27.

作者简介:姚梦亚(1993-),女,中国浙江嘉兴人,本科,从事 IC 设计研究。